

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-051187

(43)Date of publication of application : 21.02.2003

(51)Int.Cl.

G11C 11/407  
G05F 3/24  
H01L 21/822  
H01L 27/04

(21)Application number : 2002-185625

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 26.06.2002

(72)Inventor : PARK KEE TEOK

(30)Priority

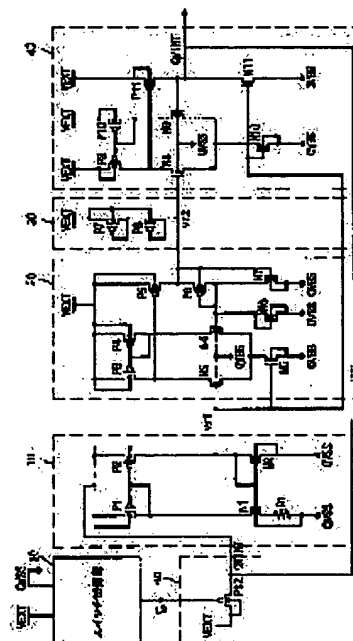
Priority number : 2001 200138020 Priority date : 29.06.2001 Priority country : KR

## (54) INTERNAL POWER VOLTAGE GENERATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an internal power voltage generator which can supply stable driving voltage for semiconductor devices.

SOLUTION: This device is provided with: a switch control means which applies the external power source voltage to an internal power voltage applying line when external power voltage is equal to or lower than the prescribed voltage within an operation power voltage range, and which controls so that the external power voltage application to the internal power voltage applying line is stopped when the external power voltage exceeds the prescribed voltage; a first reference potential generating section which is controlled by the switch control means and generates a first reference potential by using internal power voltage supplied to the internal power voltage applying line; a second reference potential generating section for amplifying the first reference potential and generating the second reference potential; and an internal power driver for generating internal power voltage on the basis of the second reference potential as reference and supplying the generated internal voltage to internal circuits while feeding back the internal power voltage to the internal power voltage applying line.



## LEGAL STATUS

[Date of request for examination] 20.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-51187

(P2003-51187A)

(43) 公開日 平成15年2月21日 (2003.2.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 1 1 C 11/407		G 0 5 F 3/24	B 5 F 0 3 8
G 0 5 F 3/24		G 1 1 C 11/34	3 5 4 F 5 H 4 2 0
H 0 1 L 21/822		H 0 1 L 27/04	B 5 M 0 2 4
27/04			

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2002-185625(P2002-185625)  
(22) 出願日 平成14年6月26日(2002.6.26)  
(31) 優先権主張番号 2001-038020  
(32) 優先日 平成13年6月29日(2001.6.29)  
(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111  
株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山136-1  
(72) 発明者 朴 起 徳  
大韓民国京畿道利川市夫鉢邑牙美里 現代  
3次アパートメント301-102  
(74) 代理人 100065215  
弁理士 三枝 英二 (外10名)

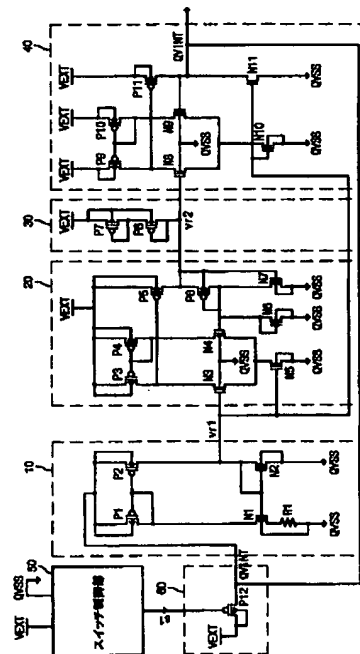
最終頁に続く

(54) 【発明の名称】 内部電源電圧発生装置

(57) 【要約】

【課題】 半導体素子用の安定な駆動電圧を供給可能な内部電源電圧発生装置を提供すること。

【解決手段】 外部電源電圧が動作電源電圧範囲内の所定電圧以下の場合、内部電源電圧印加ラインに前記外部電源電圧を印加させ、前記外部電源電圧が前記所定電圧を超える場合、前記内部電源電圧印加ラインへの前記外部電源電圧の印加を中止するように制御するスイッチ制御手段と、該スイッチ制御手段によって制御され、前記内部電源電圧印加ラインに供給される内部電源電圧を用いて第1基準電位を生成する第1基準電位発生部と、前記第1基準電位を増幅して第2基準電位を生成する第2基準電位発生部と、前記第2基準電位を基準にし、前記内部電源電圧を生成して内部回路に供給すると共に、前記内部電源電圧を前記内部電源電圧印加ラインにフィードバックさせる内部電源ドライバーとを備える。



## 【特許請求の範囲】

【請求項1】 外部電源電圧が動作電源電圧範囲内の所定電圧以下の場合、内部電源電圧印加ラインに前記外部電源電圧を印加させ、前記外部電源電圧が前記所定電圧を超える場合、前記内部電源電圧印加ラインへの前記外部電源電圧の印加を中止するように制御するスイッチ制御手段、

該スイッチ制御手段によって制御され、前記内部電源電圧印加ラインに供給される内部電源電圧を用いて第1基準電位を生成する第1基準電位発生部、

前記第1基準電位を増幅して第2基準電位を生成する第2基準電位発生部、及び前記第2基準電位を基準にし、前記内部電源電圧を生成して内部回路に供給すると共に、前記内部電源電圧を前記内部電源電圧印加ラインにフィードバックさせる内部電源ドライバーを備えていることを特徴とする内部電源電圧発生装置。

【請求項2】 前記スイッチ制御手段は、前記外部電源電圧が接地電圧と外部電源電圧との間の所定の電圧範囲において、前記外部電源電圧を前記内部電源電圧印加ラインに選択的に印加させる制御信号を出力するスイッチ制御部、及び該スイッチ制御部から印加される制御信号に応じてスイッチング動作し、前記外部電源電圧を前記内部電源電圧印加ラインに接続するスイッチ部を備えていることを特徴とする請求項1に記載の内部電源電圧発生装置。

【請求項3】 前記スイッチ制御部は、前記外部電源電圧の印加を受けて電圧降下した電圧を供給する抵抗素子、該抵抗素子を介して電圧降下した電圧に応じて所定の基準電圧を発生するダイオード素子、該ダイオード素子から発生した基準電圧を反転して出力するインバータ部、及び該インバータ部の出力を遅延し、前記制御信号を出力する遅延部を備えていることを特徴とする請求項2に記載の内部電源電圧発生装置。

【請求項4】 前記スイッチ制御部は、前記第2基準電位と前記外部電源電圧とを比較するためのカレントミラー構造の差動増幅部、前記第1基準電位の入力に従い、前記差動増幅部の動作をイネーブ爾するための複数のスイッチング素子、及び前記差動増幅部の出力を反転し、前記制御信号を出力するインバータ部を備えていることを特徴とする請求項2に記載の内部電源電圧発生装置。

【請求項5】 前記スイッチ部は、前記制御信号に応じて前記外部電源電圧を内部電源電圧印加ラインに選択的に印加させるスイッチング素子であるPMOSトランジスタを備えていることを特徴とする請求項2に記載の内部電源電圧発生装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は内部電源電圧発生装

置に関し、特に、基準電位を用いて外部電源電圧を内部電源電圧に変換するカレントミラー型内部電源電圧発生装置において、特定電源電圧範囲で外部電源電圧印加端と内部電源電圧印加ラインを選択的に接続し、一定の電圧範囲を超えた後に内部電源電圧を利用して一定の電位の基準電位を発生し、半導体素子を安定的に動作させる内部電源電圧発生装置に関する。

【0002】

【従来の技術】 一般に、半導体集積回路の設計においては、半導体チップの消費電力を小さくし、外部ノイズに対する影響を最小化し、素子の信頼性向上と安定な動作を実現することが必要である。

【0003】 このため半導体集積回路は、変化要因が大きい外部電源電圧よりも低い内部電源電圧を発生させて内部回路の動作に利用する。

【0004】 このような安定な内部電源電圧を生成する方法は種々あるが、通常、図1に示したように基準電位を用いて外部電源電圧VEXTを内部電源電圧QVIN Tに変換するカレントミラー型電圧降下変換器(voltage down converter)を用いる。

【0005】 図1は、従来の内部電源電圧発生装置を示すブロック図である。通常の電圧降下変換器は大部分差動増幅器の形を取り、図において、先ず第1基準電位発生部1は、外部電源電圧VEXTが印加されて第1基準電位vr1を生成し、第2基準電位発生部2は、第1基準電位発生部1から印加された第1基準電位vr1を増幅して第2基準電位vr2を生成する。

【0006】 そして、ストレス電圧部3は、第2基準電位発生部2から印加された第2基準電位vr2にストレス電圧を印加し、内部電源ドライバー4は、この電圧を基準(reference)にして内部電源電圧QVIN Tを発生し、これを内部回路5に供給する。

【0007】 しかし、従来は第1基準電位発生部1で第1基準電位vr1を生成するための電源として外部電源電圧VEXTのみを用いることから、外部電源電圧VEXTの変化によって、第1基準電位vr1が変化する問題があった。

【0008】 即ち、従来の電圧降下変換器は、周囲の温度変化又はノイズの影響による第1基準電位発生部1に印加される外部電源電圧VEXTの変動に応じて、外部電源電圧VEXTがカレントミラー回路に十分伝達されず、要求される一定レベルの第1基準電位vr1を発生させることができない問題があった。

【0009】

【発明が解決しようとする課題】 本発明は、半導体素子が動作する電圧範囲で外部電源電圧と内部電源電圧とを選択的に用い、所定電圧を超える場合には内部電源電圧を利用して、一定の電位の基準電位を発生し、半導体素子を安定的に動作させることができる内部電源電圧発生装置を提供することを目的としている。

【0010】

【課題を解決するための手段】上記の課題を解決するために、本発明に係る内部電源電圧発生装置(1)は、外部電源電圧が動作電源電圧範囲内の所定電圧以下の場合、内部電源電圧印加ラインに前記外部電源電圧を印加させ、前記外部電源電圧が前記所定電圧を超える場合、内部電源電圧印加ラインへの前記外部電源電圧の印加を中止するように制御するスイッチ制御手段と、該スイッチ制御手段によって制御され、前記内部電源電圧印加ラインに供給される内部電源電圧を用いて第1基準電位を生成する第1基準電位発生部と、前記第1基準電位を増幅して第2基準電位を生成する第2基準電位発生部と、前記第2基準電位を基準にして前記内部電源電圧を生成し、内部回路に供給すると共に、前記内部電源電圧を前記内部電源電圧印加ラインにフィードバックさせる内部電源ドライバーを備えていることを特徴としている。

【0011】また、本発明に係る内部電源電圧発生装置(2)は、前記内部電源電圧発生装置(1)において、前記スイッチ制御手段が、前記外部電源電圧が接地電圧と外部電源電圧との間の所定の電圧範囲において、前記外部電源電圧を前記内部電源電圧印加ラインに選択的に印加させる制御信号を出力するスイッチ制御部、及び該スイッチ制御部から印加される制御信号に応じてスイッチング動作し、前記外部電源電圧を前記内部電源電圧印加ラインに接続するスイッチ部を備えていることを特徴としている。

【0012】また、本発明に係る内部電源電圧発生装置(3)は、前記内部電源電圧発生装置(2)において、前記スイッチ制御部が、前記外部電源電圧の印加を受けて電圧降下した電圧を供給する抵抗素子、該抵抗素子を介して電圧降下した電圧に応じて所定の基準電圧を発生するダイオード素子、該ダイオード素子から発生した基準電圧を反転して出力するインバータ部、及び該インバータ部の出力を遅延し、前記制御信号を出力する遅延部を備えていることを特徴としている。

【0013】また、本発明に係る内部電源電圧発生装置(4)は、前記内部電源電圧発生装置(2)において、前記スイッチ制御部が、前記第2基準電位と前記外部電源電圧とを比較するためのカレントミラー構造の差動増幅部、前記第1基準電位の入力に従い、前記差動増幅部の動作をイネーブルするための複数個のスイッチング素子、及び前記差動増幅部の出力を反転し、前記制御信号を出力するインバータ部を備えていることを特徴としている。

【0014】また、本発明に係る内部電源電圧発生装置(5)は、前記内部電源電圧発生装置(2)において、前記スイッチ部が、前記制御信号に応じて前記外部電源電圧を内部電源電圧印加ラインに選択的に印加させるスイッチング素子であるPMOSTランジスタを備えてい

ることを特徴としている。

【0015】

【発明の実施の形態】以下、添付の図面を参照して本発明に係る実施の形態を詳しく説明する。

【0016】図2は、本実施の形態に係る内部電源電圧発生装置を示す回路図である。

【0017】図2に示されているように、本実施の形態に係る内部電源電圧発生装置は、第1基準電位発生部10の初期駆動のために、スイッチ制御部50と、スイッチ制御部50の出力信号のレベルに応じて選択的に、外部電源電圧VEXTと内部電源電圧QVINT印加ラインとを接続又は接続を開放するスイッチ部60を備えている。

【0018】さらに、内部電源電圧発生装置は、スイッチ部60の動作により外部電源電圧VEXT、又は内部電源ドライバー40からフィードバックされた内部電源電圧QVINTが選択的に入力され、一定の第1基準電位vr1を生成する第1基準電位発生部10と、第1基準電位発生部10から印加された第1基準電位vr1を増幅して第2基準電位vr2を生成する第2基準電位発生部20と、第2基準電位発生部20から印加された第2基準電位vr2にストレス電圧を印加するストレス電圧部30と、この電圧を基準(reference)にして内部電源電圧QVINTを内部回路に供給する内部電源ドライバー40とを備えている。

【0019】このような構成により、第1基準電位発生部10は、初期駆動電圧が所定電位以上になった場合、第1基準電位vr1の生成に使用する電源電圧として、外部電源電圧VEXTの代わりに、変化の幅が少ない内部電源電圧QVINTを用いることにより、電源電圧の変動に依存する第1基準電位vr1の変化を最大限に低減することができる。

【0020】上記の内部電源電圧発生装置の詳細構成を図2を参照して説明すれば、次の通りである。

【0021】まず、第1基準電位発生部10は、ソースが内部電源電圧QVINT印加ラインに接続され、ゲートがドレインに接続されたPMOSTランジスタP1と、ソースが内部電源電圧QVINT印加ラインに接続され、ゲートがPMOSTランジスタP1のゲートに接続されたPMOSTランジスタP2と、PMOSTランジスタP1と抵抗R1との間に接続され、バルクに接地電圧QVSSが印加されるNMOSTランジスタN1と、PMOSTランジスタP2と接地電圧QVSSとに接続され、ゲートがドレイン及びNMOSTランジスタN1のゲートと接続され、バルクに接地電圧QVSSが印加されるNMOSTランジスタN2とを備えて構成され、第1基準電位vr1を生成する。

【0022】第2基準電位発生部20は、外部電源電圧VEXTとソースとが接続され、ゲートがドレインと接続され、バルクに外部電源電圧VEXTが印加されるP

MOSTランジスタP4と、外部電源電圧VEXTとソースが接続され、ゲートがPMOSTランジスタP4のゲートと接続され、バルクに外部電源電圧VEXTが印加されるPMOSTランジスタP3と、ドレインがPMOSTランジスタP3のドレインに接続され、ゲートに第1基準電位vr1が印加され、バルクが接地電圧QVSSに接続されたNMOSTランジスタN3と、ドレインがPMOSTランジスタP4のドレインと接続され、NMOSTランジスタN3のバルクと接続されバルクが接地電圧QVSSに接続されたNMOSTランジスタN4と、NMOSTランジスタN3及びN4の共通接続されたソースと接地電圧QVSSとの間に接続され、ゲートに第1基準電位vr1が印加され、バルクが接地電圧QVSSに接続されたNMOSTランジスタN5と、外部電源電圧VEXTと第2基準電位vr2の出力端子の間に接続され、ゲートがPMOSTランジスタP3のドレインと接続され、バルクが外部電源電圧VEXTに接続されたPMOSTランジスタP5と、ソースがPMOSTランジスタP5のドレインに接続され、ゲートがNMOSTランジスタN4のゲートと接続されたPMOSTランジスタP6と、PMOSTランジスタP6と接地電圧QVSSとの間に並列接続され、それぞれのバルクに接地電圧QVSSが印加されるNMOSTランジスタN6及びNMOSTランジスタN7とを備えて構成されている。

【0023】ストレス電圧部30は、外部電源電圧VEXTと第2基準電位vr2出力端子との間に直列接続され、それぞれのゲートとドレインが接続され、それぞれのバルクに外部電源電圧VEXTが接続されたPMOSTランジスタP7及びPMOSTランジスタP8を備えている。

【0024】さらに、内部電源ドライバー40は、ソース及びバルクが外部電源電圧VEXTに接続されたPMOSTランジスタP9と、ソース及びバルクが外部電源電圧VEXTと接続され、ゲートがドレイン、及びPMOSTランジスタP9のゲートと接続されたPMOSTランジスタP10と、ドレインがPMOSTランジスタP9のドレインと接続され、ゲートに第2基準電位vr2が印加され、バルクが接地電圧QVSSに接続されたNMOSTランジスタN8と、ドレインがPMOSTランジスタP10のドレインに接続され、バルクがNMOSTランジスタN8のバルクに接続されたNMOSTランジスタN9と、NMOSTランジスタN8及びN9の共通接続されたソースと接地電圧QVSSとの間に接続され、ゲートに第1基準電位vr1が印加され、バルクが接地電圧QVSSに接続されたNMOSTランジスタN10と、ソース及びバルクが外部電源電圧VEXTに接続され、ゲートがPMOSTランジスタP9のドレインと接続されたPMOSTランジスタP11と、PMOSTランジスタP11と接地電圧QVSSとの間に接続

され、ゲートに第1基準電位vr1が印加されるNMOSTランジスタN11とを備えて構成されている。

【0025】一方、スイッチ部60は、第1基準電位発生部10の内部電源電圧QVINT印加ラインと内部電源ドライバー40の出力端子とに接続され、外部電源電圧VEXTと内部電源電圧QVINT印加ラインとを選択的に接続又は接続を開放するスイッチ回路として構成されている。

【0026】即ち、スイッチ部60は、初期駆動時、即ち外部電源をターンオンした直後には、内部電源ドライバー40が生成する内部電源電圧QVINTが所定のレベルになるまで、第1基準電位発生部10が内部電源電圧QVINTによって駆動できないことを防ぐため、接地電圧と外部電圧との間の特定の電圧範囲において、内部電源電圧QVINT印加ラインを外部電源電圧VEXTに接続するスイッチである。

【0027】このようなスイッチ部60は、外部電源電圧VEXTと内部電源電圧QVINT印加ラインとの間に接続され、バルクが外部電源電圧VEXTに接続されたPMOSTランジスタP12を備えて構成され、PMOSTランジスタP12には、ゲートにスイッチ制御部50から出力されるスイッチ接続制御信号s1が入力されるようになっている。

【0028】ここで、内部電源電圧QVINT及び接地電圧QVSSは、半導体チップに一般的に用いられる電圧に限らず、その他の駆動される回路に応じた内部電源電圧であってもよい。

【0029】さらに、図3はスイッチ制御部50の内部構成を示す回路図であり、スイッチ制御部50は、スイッチ部60のスイッチ動作を制御する。

【0030】図3において、スイッチ制御部50は、ソース及びバルクが外部電源電圧VEXTに接続され、ゲートが接地電圧QVSSに接続されたPMOSTランジスタP13と、PMOSTランジスタP13のドレインと接地電圧QVSSの間に接続され、ゲートとドレインとが接続されたNMOSTランジスタN12と、外部電源電圧VEXTとNMOSTランジスタN13との間に接続され、ゲートがPMOSTランジスタP13及びNMOSTランジスタN12の共通ドレインと接続され、ソース及びバルクが外部電源電圧VEXTに接続されたPMOSTランジスタP14と、PMOSTランジスタP14のドレインと接地電圧QVSSとの間に接続され、ゲートがPMOSTランジスタP13及びNMOSTランジスタN12の共通ドレインに接続されたNMOSTランジスタN13と、PMOSTランジスタP14及びNMOSTランジスタN13の共通ドレインから出力される信号をバッファ（遅延）して接続制御信号s1としてスイッチ部60に出力するインバータIV1及びIV2とを備えて構成されている。

【0031】このような構成を有するスイッチ制御部5

0は、スイッチ部60に関して上記したように、内部電源電圧QVINTが、接地電圧QVSSから外部電源電圧VEXTよりも低い所定電圧a (V) までの範囲(0~a (V))において、外部電源電圧VEXTと内部電源電圧QVINT印加ラインとを接続するようにスイッチ部60を制御する。

【0032】即ち、スイッチ制御部50から出力される接続制御信号s1により、スイッチ部60は、所定電圧a (V) を境界として、外部電源電圧VEXTと内部電源電圧QVINTとを選択的に第1基準電位発生部10

10に供給するように動作する。  
【0033】スイッチ制御部50の動作において、NMOSTランジスタN12はダイオード素子として、PMOSTランジスタP13は抵抗素子としてそれぞれ機能する。例えば、所定電圧以上の外部電源電圧VEXTが印加されると、NMOSTランジスタN12がターンオンし、抵抗素子としてのPMOSTランジスタP13による電圧降下によって、PMOSTランジスタP13とNMOSTランジスタN12との接続点には、一定の基準電圧が生成される。

【0034】スイッチ制御部50に印加される外部電源電圧VEXTとNMOSTランジスタN12及びPMOSTランジスタP13とにより生成された一定の基準電圧は、PMOSTランジスタP14とNMOSTランジスタN13とで構成されたインバータにより反転され、インバータIV1及びIV2により遅延されて制御信号s1として出力される。

【0035】外部電源電圧VEXTが、半導体チップの動作電源電圧範囲内の所定電圧以下である場合、接続制御信号s1はローレベルで出力される。例えば、外部電源電圧VEXTが、NMOSTランジスタN12及びN13がターンオンしないローレベルであれば、PMOSTランジスタP13とNMOSTランジスタN12との接続点の電圧は外部電源電圧VEXT、即ちローレベルとなり、これによってNMOSTランジスタN13がターンオフし、PMOSTランジスタP14とNMOSTランジスタN13との接続点の電圧も外部電源電圧VEXT、即ちローレベルとなる。従って、接続制御信号s1はローレベルとなる。

【0036】このとき、スイッチ部60のPMOSTランジスタP12がターンオンされて、外部電源電圧VEXTと内部電源電圧QVINT印加ラインとが接続され、外部電源電圧VEXTが第1基準電位発生部10の内部電源電圧QVINT印加ラインに入力される。

【0037】次いで、外部電源電圧VEXTが、半導体チップの動作電源電圧範囲内の所定電圧を超えた場合、制御信号s1はハイレベルで出力される。例えば、外部電源電圧VEXTが、NMOSTランジスタN12及びN13がターンオンするハイレベルであれば、PMOSTランジスタP13とNMOSTランジスタN12との

■ 接続点の電圧は、NMOSTランジスタN12のオンによってローレベルとなり、これによってPMOSTランジスタP14がターンオンし、PMOSTランジスタP14とNMOSTランジスタN13との接続点の電圧は、外部電源電圧VEXT、即ちハイレベルとなる。従って、接続制御信号s1はハイレベルとなる。

【0038】このとき、スイッチ部60のPMOSTランジスタP12はターンオフされて外部電源電圧VEXTと内部電源電圧QVINT印加ラインとの接続が開放され、内部電源ドライバー40からフィードバックされる内部電源電圧QVINTのみが第1基準電位発生部10に印加される。

【0039】ここで、スイッチ制御部50は、特定電圧、例えば2V以下では外部電源電圧VEXTと内部電源電圧QVINT印加ラインとが接続されるようにスイッチ部60を制御し、特定電圧を超える電圧では接続が開放されるようにスイッチ部60を制御する。

【0040】さらに、スイッチ制御部50の接続制御信号s1に、動作過程でヒステリシスループ(Hysteresis loop)を持たせることもできる。

【0041】例えば、スイッチ制御部50が、外部電源電圧VEXTが上昇する場合、2V以上で外部電源電圧VEXTと内部電源電圧QVINT印加ラインとの接続が開放されるようにスイッチ部60を制御し、外部電源電圧VEXTが降下する場合、1V以下で外部電源電圧VEXTと内部電源電圧QVINT印加ラインとが接続されるようにスイッチ部60を制御するようにすることもできる。

【0042】即ち、チップに供給される電圧が上昇している状況では、高い電圧の2V以上で外部電源電圧VEXTと内部電源電圧QVINT印加ラインとの接続を開放し、チップに供給される電圧が降下している状況では、低い電圧の1V以下で外部電源電圧VEXTと内部電源電圧QVINT印加ラインとを接続する動作を行うようにすることも可能である。

【0043】図4は、本発明の別の実施の形態に係る内部電源電圧発生装置を示す回路図であり、スイッチ制御部55は、第1基準電位発生部10から出力された第1基準電位vr1と第2基準電位発生部20から出力された第2基準電位vr2とを取り込み、これらに応じて接続制御信号s1の出力を制御する。

【0044】ここで、スイッチ制御部55を除いた他の構成は、図3に示した実施の形態と同様であり、説明を省略する。

【0045】図5は、図4に示したスイッチ制御部55の回路図である。

【0046】図5に示されているように、スイッチ制御部55は、ソース及びバルクが外部電源電圧VEXTに接続され、ゲートがドレインと接続されたPMOSTランジスタP15と、ソース及びバルクが外部電源電圧V

EXTに接続され、ゲートがPMOSTランジスタP15のゲートと接続されたPMOSTランジスタP16と、ドレインがPMOSTランジスタP15のドレインに接続され、ゲートに第2基準電位 $v_{r2}$ が印加され、バルクが接地電圧QVSSに接続されたNMOSTランジスタN14と、ドレインがPMOSTランジスタP16のドレインと接続され、バルクがNMOSTランジスタN14のバルクに接続されたNMOSTランジスタN15と、NMOSTランジスタN14及びNMOSTランジスタN15の共通ソースと接地電圧QVSSとの間に接続され、ゲートに第1基準電位 $v_{r1}$ が印加され、バルクが接地電圧QVSSに接続されたNMOSTランジスタN16と、ソース及びバルクが外部電源電圧VEXTに接続され、ゲートがPMOSTランジスタP16のドレインと接続されたPMOSTランジスタP17と、PMOSTランジスタP17と接地電圧QVSSとの間に接続され、ゲートに第1基準電位 $v_{r1}$ が印加され、バルクが接地電圧QVSSに接続されたNMOSTランジスタN17と、外部電源電圧VEXTと接地電圧QVSSとの間に直列接続され、ゲートがPMOSTランジスタP17及びNMOSTランジスタN17の共通ドレインと接続され、共通ドレインを介して接続制御信号 $s_1$ をスイッチ部60に出力するPMOSTランジスタP18及びNMOSTランジスタN18とを備えて構成されている。

【0047】このような構成を有するスイッチ制御部55は、PMOSTランジスタP15及びP16、NMOSTランジスタN14及びN15から構成され、第1基準電位 $v_{r1}$ の入力によりイネーブルされるカレントミラー構造の差動増幅器を介して、NMOSTランジスタN15のゲートに接続された外部電源電圧VEXTと第2基準電位 $v_{r2}$ との差によってPMOSTランジスタP17のゲートの電圧レベルを決定し、この電圧レベルと第1基準電位 $v_{r1}$ とに応じて決定されるPMOSTランジスタP17とNMOSTランジスタN17との接続点の電圧レベルを、PMOSTランジスタP18及びNMOSTランジスタN18で構成されたインバータにより反転して、接続制御信号 $s_1$ として出力する。

【0048】即ち、外部電源電圧VEXTが、半導体チップの動作電源電圧範囲内において第2基準電位 $v_{r2}$  40 以下の場合、制御信号 $s_1$ はローレベルで出力される。

【0049】このとき、スイッチ部60のPMOSTランジスタP12はターンオンされて、外部電源電圧VEXTと内部電源電圧QVINT印加ラインとが接続され、外部電源電圧VEXTが第1基準電位発生部10の内部電源電圧QVINT印加ラインに入力される。

【0050】次いで、外部電源電圧VEXTが、半導体チップの動作電源電圧範囲内において第2基準電位 $v_{r2}$ を超えた場合、制御信号 $s_1$ はハイレベルで出力される。

【0051】このとき、スイッチ部60のPMOSTランジスタP12はターンオフされて、外部電源電圧VEXTと内部電源電圧QVINT印加ラインとの接続が開放され、内部電源電圧QVINTのみが第1基準電位発生部10に印加される。

【0052】ここで、スイッチ制御部55は、チップの初期化の目的に用いる通常のパワーアップ (power up) 回路以外にも用いることができる。

【0053】即ち、この制御回路をパワーアップ回路と独立に設けて、他の目的の類似する機能を有する回路に用いることもできる。

【0054】本実施の形態に係る内部電源電圧発生装置の第1基準電位発生部10は、所定の電圧範囲においては、外部電源電圧VEXTと内部電源電圧QVINT印加ラインとがスイッチ部60を介して接続されることにより、外部電源電圧VEXT、即ち高電圧で駆動され、その他の電圧範囲においては、外部電源電圧VEXTとの接続が開放されて内部電源電圧QVINTだけで駆動される。

【0055】この内部電源電圧QVINTは、外部電源電圧VEXTよりも電圧の変化が少ないため、より安定した第1基準電位 $v_{r1}$ を発生させることができ、この第1基準電位 $v_{r1}$ によって第2基準電位発生部20及び内部電源ドライバー40を介して安定した内部電源電圧QVINTを生成することができる。

【0056】本実施の形態に係る内部電源電圧発生装置に関するシミュレーション結果を図6～図8に示す。図6～図8に示した各グラフにおいて、外部電源電圧VEXTを横軸に設定している。B、Dはそれぞれ、本発明に係る第1基準電位 $v_{r1}$ 、内部電源電圧QVINTの変化を示している。A、Cは、第1基準電位発生部10に直接外部電源電圧VEXTを入力した場合、即ち従来技術に関するシミュレーション結果であり、それぞれ、従来技術の第1基準電位 $v_{r1}$ 、従来技術の内部電源電圧QVINTの変化を示している。

【0057】図6は、シミュレーション結果の各電圧の変化を全体的に示したグラフである。図6に示されるように、スイッチ制御部50、55の接続制御信号 $s_1$ は、約2Vで出力され、これによって外部電源電圧VEXTと内部電源電圧QVINT印加ラインとが接続される。

【0058】図6から、本発明に係る第1基準電位 $v_{r1}$  (B) は、半導体素子の動作電源電圧範囲内 (約2.5V以上) において、従来技術の基準電位 $v_{r1}$  (A) と異なり、一定の基準電圧 (B) を発生させることが判る。

【0059】図6に示したシミュレーション結果の一部分を拡大したグラフを図7及び図8に示す。

【0060】図7は、図6のグラフにおいて、第1基準電位 $v_{r1}$  (A)、(B) に関する部分を拡大したグラ 50

フである。

【0061】図7に示されているように、従来技術では外部電源電圧VEXTが増加するに伴い第1基準電位 $v_{r1}$ (A)が次第に増加する。

【0062】しかし、本発明に係る第1基準電位 $v_{r1}$ (B)は、外部電源電圧VEXTが増加しても、内部電源電圧QVINTによって第1基準電位発生部10への基準電圧が供給される電圧範囲(約2.6~4.5V)において、一定であることが判る。

【0063】図8は、図6のグラフにおいて、内部電源電圧QVINT(C)、(D)に関する部分を拡大したグラフである。

【0064】図8に示されているように、従来技術では外部電源電圧VEXTが増加するに伴い内部電源電圧QVINTが次第に増加する。

【0065】しかし、本発明に係る内部電源電圧QVINTは、外部電源電圧VEXTが増加しても、内部電源電圧QVINTによって第1基準電位発生部10への基準電圧が供給される電圧範囲(約2.6~4.5V)において、一定であることが判る。

【0066】以上のように、本発明に係る内部電源電圧発生装置は、一定の第1基準電位 $v_{r1}$ を基準電圧として用いることによって、安定な内部電源電圧QVINTを発生できる。

【0067】また、本発明に係る内部電源電圧発生装置は、図9に示したように、第1基準電位発生部10と、第2基準電位発生部20及び21と、内部電源ドライバー40及び22とを備えて構成されてもよく、上記した内部電源電圧QVINTに加えて、第2基準電位発生部20及び内部電源ドライバー40によって、チップ全体を駆動するため、又はその他のための内部電源電圧V<sub>0</sub>を供給することができる。

【0068】

【発明の効果】上記したように、本発明に係る内部電源電圧発生装置は、安定な内部電源電圧を発生し、供給することができることから、半導体素子を安定的に動作させ、製品の歩留まり向上を可能とする効果を奏する。

【図面の簡単な説明】

【図1】 従来の内部電源電圧発生装置を示すブロック図である。

【図2】 本発明の実施の形態に係る内部電源電圧発生装置を示す回路図である。

【図3】 本発明の実施の形態に係る内部電源電圧発生装置のスイッチ制御部を示す回路図である。

【図4】 本発明に係る内部電源電圧発生装置の別の実施の形態を示す回路図である。

【図5】 図4に示した内部電源電圧発生装置のスイッチ制御部を示す回路図である。

【図6】 本発明に係る内部電源電圧発生装置に関する外部電源電圧と第1基準電位及び内部電源電圧とのシミュレーション結果を示すグラフである。

【図7】 図6に示すグラフの内、第1基準電位 $v_{r1}$ に関する部分を拡大したグラフである。

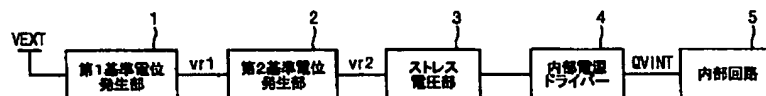
【図8】 図6に示すグラフの内、内部電源電圧QVINTに関する部分を拡大したグラフである。

【図9】 本発明に係る内部電源電圧発生装置のさらに別の実施の形態を示すブロック図である。

【符号の説明】

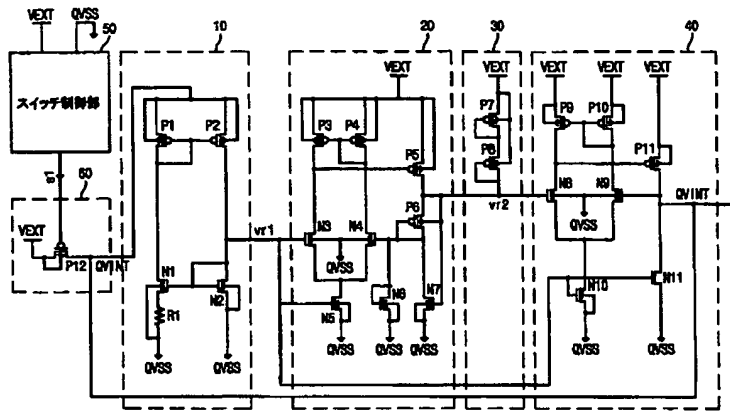
- 10 第1基準電位発生部
- 20 第2基準電位発生部
- 30 ストレス電圧部
- 40 内部電源ドライバー
- 50、55 スイッチ制御部
- \* 60 スイッチ部

【図1】

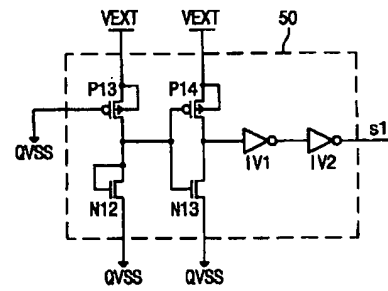




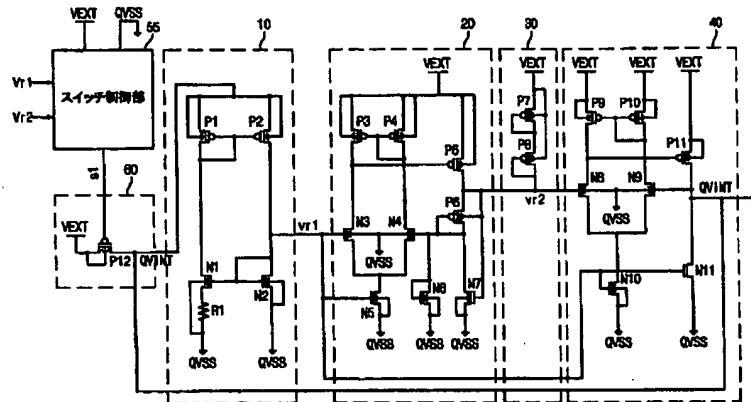
【図2】



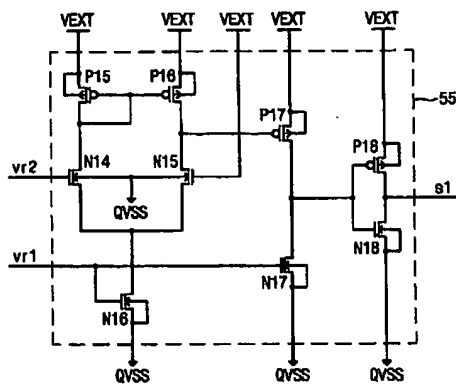
【図3】



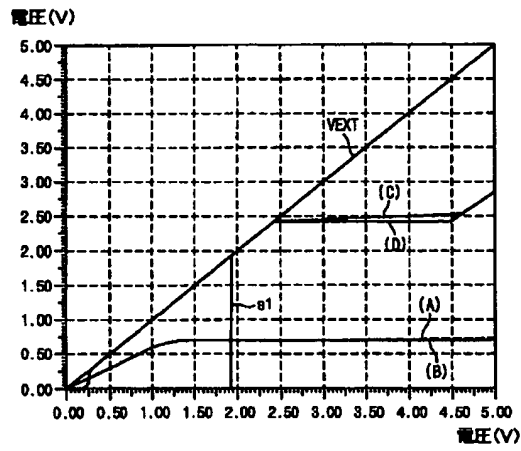
【図4】



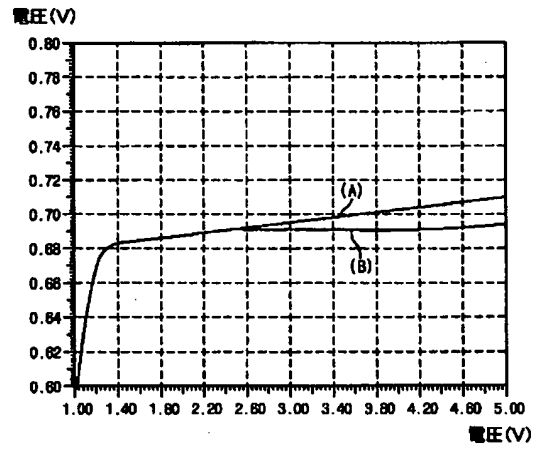
【図5】



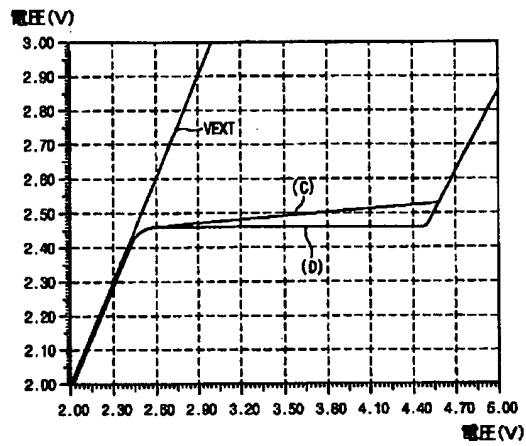
【図6】



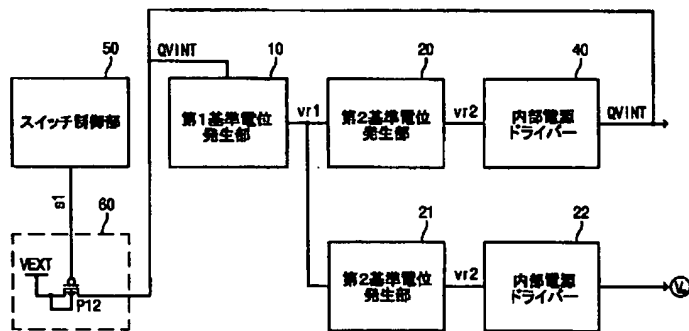
【図7】



【図8】



【図9】



フロントページの続き

F ターム(参考) SF038 AV06 BB01 BB08 BG01 BG06  
EZ20  
SH420 NA37 NB02 NB25 NC02 NC36  
NE26  
SM024 AA24 BB29 BB35 FF07 PP01  
PP02 PP03 PP10